

APPLICATION
FOR
UNITED STATES LETTERS PATENT

TITLE: TESTING APPARATUS AND TESTING METHOD

APPLICANTS: Masahiro ISHIDA
Takahiro YAMAGUCHI
Mani SOMA

22511
PATENT TRADEMARK OFFICE

"EXPRESS MAIL" Mailing Label Number: EV 436028749 US

Date of Deposit: April 14, 2004

試験装置、試験方法

本願は、2003年12月16日に出願された出願10/737, 716の一部継続出願であり、出願10/737, 716の内容を参照によりここに組み込み、本願の一部とする。

技術分野

本発明は、電子デバイスを試験する試験装置、及び試験方法に関する。特に本発明は、ジッタを印加した入力信号を電子デバイスに供給して試験する試験装置及び試験方法に関する。

背景技術

ジッタ試験は、シリアル通信デバイスやシリアルI/Oデバイスにとって重要な試験項目である。例えば、国際通信連合 (International Telecommunication Union) や Bellcore 等の勧告は、ジッタ耐力、ジッタ生成、ジッタ伝達関数の測定について規定している。特に、ジッタ耐力試験は、伝送メディアで付加されるジッタに対するデバイスの動作限界を評価できるため重要である。ここで、ジッタ耐力の測定とは、入力信号に印加する印加ジッタの大きさを変化させ、デバイスがビット誤りを起こし始める印加ジッタの大きさの閾値を測定するものである。

図1は、従来のジッタ耐力の測定を説明する図である。従来のジッタ耐力の測定は、図1Aに示すような入力信号に、図1Bに示すようなホワイトノイズを重ねることにより、入力信号にランダムジッタを印加している。図1Cにランダムジッタが印加された入力信号を示す。そして、ランダムジッタが印加された入力信号を電子デバイスに供給して電子デバイスにビット誤りが生じるかを測定する。

図2は、入力信号にジッタを印加するための従来のジッタ印加装置200の構成を示す。パターン発生器202が生成する入力信号には、サイン波ジッタソース206によりサイン波ジッタが印加され、更に確定ジッタソース208及びランダム

ジッタソースにより、確定ジッタ及びランダムジッタが印加される。このとき、入力信号に印加されるジッタ量は、ランダムジッタの大きさ及びサイン波ジッタの大きさにより調整される。そして、リミッティングアンプ 214 により、入力信号をアンプし、一定値以上及び一定値以下の振幅成分をクリップして出力する。

- 5 図 3 は、リミッティングアンプ 214 の動作を説明する図である。リミッティングアンプ 214 には、図 3 A に示すような入力信号が与えられる。当該入力信号には、ランダムジッタが印加されているため、入力信号は振幅変調成分を有している。

- リミッティングアンプ 214 は、図 3 B に示すように、入力信号の振幅成分のうち、第 1 の閾値以上、及び第 2 の閾値以下の振幅成分を除去し、振幅変調成分を低減するが、第 1 の閾値以下且つ第 2 の閾値以上の範囲における振幅変調成分は除去できない。電子デバイスのジッタ耐力を測定するためには、図 3 C に示す入力信号のように、振幅変調成分を有さない入力信号を電子デバイスに供給し、位相方向のジッタ成分のみによるビット誤りを検出する必要があるが、従来のジッタ印加装置 200 では、図 3 B に示すように振幅変調成分が入力信号に残留しているため、当該振幅変調成分によるビット誤りをも検出してしまう。このため、電子デバイスのジッタ耐力を過小に評価してしまう。また、従来のジッタ印加装置 200 は、サイン波ジッタソース 206、確定ジッタソース 208、及びランダムジッタソース 212 の 3 つのジッタソースを備えているため、装置コストが大きくなってしまう。

- そこで本発明は、上記の課題を解決することのできる試験装置及び試験方法を提供することを目的とする。この目的は、請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

発明の開示

- 25 上記課題を解決するために、本発明の第 1 の形態においては、電子デバイスを試験する試験装置であって、与えられる入力信号に振幅変調成分を生じさせずに確定ジッタを印加し、電子デバイスに供給する確定ジッタ印加手段と、確定ジッ

タ印加手段が印加する確定ジッタの大きさを制御するジッタ量制御手段と、入力信号に応じて電子デバイスが出力する出力信号に基づいて、電子デバイスの良否を判定する判定手段とを備える試験装置を提供する。

- 5 確定ジッタ印加手段は、入力信号を通過させ、確定ジッタを印加する1次フィルタを有してよい。また、確定ジッタ印加手段は、入力信号を通過させ、確定ジッタを印加するケーブルを有してもよい。

ジッタ量制御手段は、入力信号と、電子デバイスにより入力信号から再生される再生クロック信号との間のアラインメントジッタのピークトゥピーク値のしきい値に基づいて、確定ジッタの大きさを決定してもよい。

- 10 試験装置は、入力信号にサイン波ジッタを印加するサイン波ジッタ印加手段を更に備え、ジッタ量制御手段は、サイン波ジッタ印加手段が印加するサイン波ジッタの大きさを更に制御してよい。

- ジッタ量制御手段は、入力信号及び電子デバイスにより入力信号から再生される再生クロック信号の間のアラインメントジッタのピークトゥピーク値のしきい値と、良品の電子デバイスにおけるジッタ伝達関数とに基づいて、サイン波ジッタの大きさを決定してよい。また、ジッタ量制御手段は、アラインメントジッタのピークトゥピーク値のしきい値に予め定められたサイン波ジッタ比率を乗じたサイン波ジッタしきい値と、ジッタ伝達関数とに基づいて、サイン波ジッタの大きさを決定し、アラインメントジッタのピークトゥピーク値のしきい値から
- 20 サイン波ジッタしきい値を減じた確定ジッタしきい値と、ジッタ伝達関数とに基づいて、確定ジッタの大きさを決定してもよい。また、ジッタ量制御手段は、入力信号のタイミングジッタ系列と、良品の電子デバイスにより入力信号から再生された再生クロック信号のタイミングジッタ系列とに基づいて、ジッタ伝達関数を導出するジッタ伝達関数推定部を有してもよい。

- 25 サイン波ジッタ印加手段は、複数の周波数成分を有するサイン波ジッタを入力信号に印加し、ジッタ量制御手段は、アラインメントジッタのピークトゥピーク値のしきい値と、ジッタ伝達関数とに基づいて、サイン波ジッタが有する複数の

周波数成分のそれぞれの大きさを決定してよい。

5 ジッタ量制御手段は、複数の周波数成分のそれぞれについて、アラインメントジッタのピークトゥピーク値のしきい値に当該周波数成分について予め定められた周波数成分比率を乗じた周波数成分しきい値と、ジッタ伝達関数とに基づいて、サイン波ジッタの当該周波数成分についての大きさを決定し、アラインメントジッタのピークトゥピーク値のしきい値から周波数成分しきい値の合計値を減じた確定ジッタしきい値に基づいて、確定ジッタの大きさを決定してもよい。

10 また、電子デバイスは、入力信号及び基準クロック信号を入力し、基準クロック信号に基づいて入力信号をサンプリングするものであり、当該試験装置は、基準クロック信号の位相をシフトする位相シフタを更に備えてもよい。

本発明の第2の形態においては、電子デバイスを試験する試験装置であって、与えられる入力信号にサイン波ジッタを印加し、電子デバイスに供給するサイン波ジッタ印加手段と、サイン波ジッタ印加手段が印加するサイン波ジッタの大きさを制御するジッタ量制御手段と、入力信号に応じて電子デバイスが出力する出力信号に基づいて、電子デバイスの良否を判定する判定手段とを備え、ジッタ量15 制御手段は、入力信号及び電子デバイスにより入力信号から再生される再生クロック信号の間のアラインメントジッタのピークトゥピーク値のしきい値と、良品の電子デバイスにおけるジッタ伝達関数とに基づいて、サイン波ジッタの大きさを決定する試験装置を提供する。

20 本発明の第3の形態においては、電子デバイスを試験する試験方法であって、与えられる入力信号に振幅変調成分を生じさせずに確定ジッタを印加し、電子デバイスに供給する確定ジッタ印加段階と、確定ジッタ印加段階において印加する確定ジッタの大きさを制御するジッタ量制御段階と、入力信号に応じて電子デバイスが出力する出力信号に基づいて、電子デバイスの良否を判定する判定段階と25 を備える試験方法を提供する。

確定ジッタ印加段階は、入力信号を通過させる1次フィルタを用いて、確定ジッタを印加してよい。確定ジッタ印加段階は、入力信号を通過させるケーブルを

用いて、確定ジッタを印加してもよい。

試験方法は、入力信号にサイン波ジッタを印加するサイン波ジッタ印加段階を更に備えてよい。サイン波ジッタ印加段階は、複数の周波数成分を有するサイン波ジッタを入力信号に印加してよい。

- 5 本発明の第4の形態においては、電子デバイスを試験する試験方法であって、与えられる入力信号にサイン波ジッタを印加し、電子デバイスに供給するサイン波ジッタ印加段階と、サイン波ジッタ印加段階において印加するサイン波ジッタの大きさを制御するジッタ量制御段階と、入力信号に応じて電子デバイスが出力する出力信号に基づいて、電子デバイスの良否を判定する判定段階とを備え、
- 10 ジッタ量制御段階は、入力信号及び電子デバイスにより入力信号から再生される再生クロック信号の間のアラインメントジッタのピークトゥピーク値のしきい値と、良品の電子デバイスにおけるジッタ伝達関数とに基づいて、サイン波ジッタの大きさを決定する試験方法を提供する。

- 尚、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、
- 15 これらの特徴群のサブコンビネーションも又、発明となりうる。

図面の簡単な説明

図1は、従来のジッタ耐力の測定を説明する図である。

- 図2は、入力信号にジッタを印加するための従来のジッタ印加装置200の
- 20 構成を示す図である。

図3は、リミッティングアンプ214の動作を説明する図である。図3Aは、入力信号を示し、図3Bは、リミッティングアンプ214が出力する信号を示し、図3Cは、振幅変調成分を有さない入力信号を示す。

- 図4は、本発明の実施形態に係る電子デバイス10の構成の一例を示す図である。図4Aは、電子デバイス10の構成の第1の例を示す。図4Bは、電子デバイス10の構成の第2の例を示す。
- 25 図5は、最悪ケースのアラインメントジッタを模式的に示す図である。

図 6 は、電子デバイス 10 のジッタ伝達関数の一例を示す図である。

図 7 は、ケーブルを伝送した入力信号のスペクトルの一例を示す図である。

図 8 は、本発明の実施形態に係る試験装置 100 の構成の一例を示す図である。

5 図 9 は、フィルタのステップ応答の一例を示す図である。図 9 A は、1 次フィルタのステップ応答を示し、図 9 B は、2 次フィルタのステップ応答を示す。

図 10 は、電子デバイス 10 を試験する試験方法の一例を示すフローチャートである。

図 11 は、試験装置 100 の構成の他の例を示す図である。

10 図 12 は、電子デバイス 10 を試験する試験方法の他の例を示すフローチャートである。

図 13 は、試験装置 100 の構成の他の例を示す図である。

図 14 は、試験装置 100 の構成の他の例を示す図である。

15 図 15 は、電子デバイス 10 を試験する試験方法の他の例を示すフローチャートである。

図 16 は、本発明の実施形態に係る試験方法による電子デバイス 10 の試験結果の一例を示す。

発明を実施するための最良の形態

20 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は特許請求の範囲にかかる発明を限定するものではなく、又実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

まず、本実施形態に係る試験装置及び試験方法の原理を説明する。

(1) 被試験デバイス (Device Under Test)

25 図 4 は、本発明の実施形態に係る電子デバイス 10 の構成の一例を示す図である。図 4 A は、電子デバイス 10 の構成の第 1 の例を示す。本実施形態に係る電子デバイス 10 は、一例としてデシリアライザであり、クロック再生回路 41 (Clock

Recovery) と、ビットサンプラ 4 2 (Bit Sampler) と、クロック分周回路 4 3 (Clock Divider) と、デマルチプレクサ 4 4 (DEMUX) とを備える。クロック再生回路 4 1 は、シリアルビット列 (Serial Data Stream) の入力信号からクロック信号を再生し、再生クロック信号 (Recovered Clock) として出力する。ビットサンプラ 4 2 は、シリアルビット列の入力信号を、再生クロック信号に基づいてサンプリングする。クロック分周回路 4 3 は、再生クロック信号を分周する。デマルチプレクサ 4 4 は、ビットサンプラ 4 2 によりサンプリングされたビット列を、クロック分周回路 4 3 により分周された再生クロック信号を用いてシリアル・パラレル変換し、例えば 16 ビットの再生データとして出力する。

- 10 ジッタの影響により入力信号のビット列における立ち上がりエッジがゆれたり、再生クロック信号のジッタによりサンプリングタイミングがゆれると、入力信号における隣り合う立ち上がりエッジのタイミングがサンプリングタイミングをそれぞれクロスする。この結果ビットサンプラ 4 2 は、先行するビットや次のビットをサンプリングしてしまうため、デマルチプレクサ 4 4 が出力する再生データにビット誤りが生じる。
- 15

- 図 4 B は、電子デバイス 1 0 の構成の第 2 の例を示す。図 4 B において図 4 A と同一の符号を付した構成要素は、以下に説明する点を除いて図 4 A に関連して説明した構成要素と同一の構成及び機能を有する。本例に係る電子デバイス 1 0 は、PLL 4 5 と、位相アライメント手段 4 6 (Phase Alignment) と、ビットサンプラ 4 2 と、クロック分周回路 4 3 と、デマルチプレクサ 4 4 とを備え、データ信号 (入力信号) 及び基準クロック (Reference Clock) 信号を入力して、基準クロック信号に基づいてデータ信号をサンプリングする。
- 20

- PLL 4 5 は、基準クロック信号を入力して、入力信号のサンプリングに用いるサンプリングクロックを生成する。本例において、PLL 4 5 が生成するサンプリングクロックは、入力信号の N 倍の周波数を有する。位相アライメント手段 4 6 は、サンプリングクロックを入力信号に対して位相調整する。ビットサンプラ 4 2 は、位相調整されたサンプリングクロックを用いて入力信号をサイクル当たり N 個のサ
- 25

ンプリングタイミングにおいてサンプリングし、これらのサンプリングタイミングのうち最も誤り率が低いタイミングでサンプリングされたデータを用いてビット列を再生する。

5 ジッタの影響により入力信号のビット列における立ち上がりエッジがゆれたり、サンプリングクロックのジッタによりサンプリングタイミングがゆれると、入力信号における隣り合う立ち上がりエッジのタイミングがサンプリングタイミングをそれぞれクロスする。この結果ビットサンブラ 4 2 は、先行するビットや次のビットをサンプリングしてしまうため、デマルチプレクサ 4 4 が出力する再生データにビット誤りが生じる。

10 第 2 の例に示した電子デバイス 1 0 は、入力信号及び基準クロック信号の間の静的な位相差により、入力信号とサンプリングクロックの間に最大 $1/N$ UI(Unit Interval)の位相差が生じる。入力信号及びサンプリングクロックの間に位相差が生じると、次に示すアラインメントジッタにオフセットを与えることとなり、ビットサンブラ 4 2 によるビット列再生におけるタイミングマージンを小さくなることから、
15 ビット誤りが生じやすくなる。

(2) アラインメントジッタ (alignment jitter)

アラインメントジッタは、入力信号である入力データ列のタイミング・ジッタ $\Delta\theta[nT]$ と、再生クロック信号のタイミングジッタ $\Delta\phi[nT]$ の間のアラインメント誤差
20 である (「Patrick R. Trischitta and Eve L. Varma, Jitter in Digital Transmission Systems, Artech House, p. 86, 1989.」参照)。アラインメントジッタは、以下の式
(1) により求めることができる。

$$\Delta align[nT] = \Delta\phi[nT] - \Delta\theta[nT] \quad (1)$$

電子デバイス 1 0 は、入力データ列と再生クロックのタイミング・アラインメント誤差、すなわち、アラインメントジッタがしきい値より大きくなると、ビット誤りを生じる。
25

図 5 は、ビット誤りを生じない範囲における最悪ケースのアラインメントジッ

タを模式的に示す図である。最悪ケースの場合、アライメントジッタにより、再生ビットの境界が 0 UI から 0.5 UI の間をスイングする。そして、アライメントジッタの振幅が例えば 0.5 UI_{pp} を超えると、電子デバイス 10 はビット誤りを生じる。

5

(3) ジッタ伝達関数 (Jitter transfer function)

次に、タイミングジッタからジッタ伝達関数をもとめる手順を示す。試験装置によるサンプリング周期 T_s を試験対象のクロック再生回路 4 1 のクロック周期 T に等しくし、ゼロ交叉（立ち上がりエッジまたは立下りエッジ）付近の瞬時位相雑音 $\Delta\theta(t)$ または $\Delta\phi(t)$ を再サンプリングすると、入力タイミングジッタ $\Delta\theta[nT]$ と出力タイミングジッタ $\Delta\phi[nT]$ を得ることができる。そして、Fourier 変換によって $\Delta\theta[nT]$ と $\Delta\phi[nT]$ を周波数領域へ変換すれば、以下の式 (2) に示す入力タイミングジッタスペクトル (timing jitter spectrum)、及び、式 (3) に示す出力タイミングジッタスペクトルを得ることができる（「Takahiro J. Yamaguchi, Mani Soma, Louis Malarsie, Masahiro Ishida, Hirobumi Musha, "Timing Jitter Measurement of 10 Gbps Bit Clock Signals Using Frequency Division," Proc. IEEE VLSI Test Symposium, Monterey, USA, April 28-May 2, 2002.」参照）。

15

$$\Delta\Theta[f_j] = \frac{1}{L} \sum_{k=0}^L \Delta\theta(kT) \exp\left(-j \frac{2\pi f_j k}{L}\right) \quad (2)$$

20

$$\Delta\Phi[f_j] = \frac{1}{L} \sum_{k=0}^L \Delta\phi(kT) \exp\left(-j \frac{2\pi f_j k}{L}\right) \quad (3)$$

タイミングジッタは周期 T の弱義周期定常 (wide-sense cyclostationary) であるから、タイミングジッタ・スペクトルを用いる方が位相雑音スペクトルを用いる場合と比較し変調ノイズ源の解析に有効である。ただし、狭帯域のフィルタを通過させ、弱義周期定常信号を定常信号に変換すると、以下の式 (4) 及び

25

(5) が成り立つ。

$$\Delta\Theta(f_j) \approx \Delta\Theta[f_j] \quad (4)$$

$$\Delta\Phi(f_j) \approx \Delta\Phi[f_j] \quad (5)$$

すなわち、勧告（「ITU-T, Recommendation G.958: Digital Line Systems Based on the Synchronous Digital Hierarchy for Use on Optical Fibre Cables, November 1994.」、
 5 「ITU-T, Recommendation O.172: Jitter and Wander Measuring Equipment for Digital Systems Which are Based on the Synchronous Digital Hierarchy (SDH), March 1999.」、及び、「Bellcore, Generic Requirements GR-1377-Core: SONET OC-192 Transport System Genetic Criteria, December 1998.」参照）のように狭帯域のフィルタをもちいると、ゼロ
 10 交叉におけるサンプリング（弱義周期定常信号にともなう処理）を避けることもできる。

ジッタ伝達関数 $H_j(f_j)$ は、上記（2）及び（3）（または（4）及び（5））に示したタイミングジッタ・スペクトルから、以下の式（6）、（7）、及び（8）を用いて推定することができる。

$$15 \quad H_j(f_j) = |H_j(f_j)| \exp(-j\Delta\Psi(f_j)) \quad (6)$$

$$H_j(f_j) = \frac{\Delta\Phi[f_j]}{\Delta\Theta[f_j]} \quad (7)$$

$$\Delta\Psi(f_j) = \angle\Delta\Phi[f_j] - \angle\Delta\Theta[f_j] \quad (8)$$

また、入力タイミングジッタと出力タイミングジッタ間の相互スペクトル（cross spectrum）と、入力タイミングジッタのパワースペクトルとを用いても、
 20 ジッタ伝達関数を求めることができる。

$$H_j(f_j) = \frac{\Delta\Phi[f_j]\Delta\Theta^*[f_j]}{\Delta\Theta[f_j]\Delta\Theta^*[f_j]} \quad (9)$$

図6は、電子デバイス10のジッタ伝達関数の一例を示す。

更に、式（7）およびフーリエ変換の線形性から、入力タイミングジッタ $\Delta\theta[nT]$ と出力タイミングジッタ $\Delta\phi[nT]$ は、以下の式（10）に示す関係を有する。

$$25 \quad \Delta\theta[nT] = H_j(f_j)\Delta\phi[nT] \quad (10)$$

なお、 $H_J(f_J)$ は複素数である。

(4) ジッタの大きさの決定

(4-1) サイン波ジッタを印加した場合

- 5 次に、電子デバイス10への入力データ列に対して、以下の式(11)に示す、ジッタ周波数 f_J のサイン波ジッタを印加する場合における、ジッタの大きさの決定方法を示す。

$$\Delta\theta[nT] = \frac{A}{2} \cos(2\pi f_J nT + \varphi) \quad [\text{UI}] \quad (11)$$

ここで、 A はサイン波ジッタの振幅、 φ はサイン波ジッタの初期位相である。

- 10 ジッタ周波数 f における電子デバイス10のジッタ伝達関数を $H_J(f)$ とすると、クロック再生回路41による再生クロックに生じるタイミングジッタは、以下の式(12)となる。

$$\Delta\phi[nT] = H_J(f_J) \frac{A}{2} \cos(2\pi f_J nT + \varphi) \quad [\text{UI}] \quad (12)$$

- 式(11)及び(12)を式(1)に代入すると、以下の式(13)に示すア
15 ラインメントジッタを得ることができる。

$$\Delta\text{align}[nT] = \{H_J(f_J) - 1\} \frac{A}{2} \cos(2\pi f_J nT + \varphi) \quad [\text{UI}] \quad (13)$$

- アライメントジッタのピークツウピーク値 Δalign_{PP} がしきい値 $\Delta_{th,PP}$ (例えば
0.5 UI_{PP}) を超えると、電子デバイス10はビット誤りを生じる。したがって、
電子デバイス10がビット誤りを生じないための条件は次の式(14)で与えら
20 れる。

$$\Delta\text{align}_{PP} = A \cdot |H_J(f_J) - 1| < \Delta_{th,PP} \quad [\text{UI}_{PP}] \quad (14)$$

本実施形態に係る試験装置及び試験方法においては、式(13)を満たす振幅 A を算出することにより、電子デバイス10へ印加するサイン波ジッタの大きさを決定する。そして、算出した振幅 A を用いて式(11)に示すサイン波ジッ

タを入力データ列に印加して、電子デバイス10がビット誤りを生じるか否かを判定することにより、ジッタ周波数 f_J におけるジッタ耐力が劣化した不良デバイスを判別することができる。

(4-2) マルチトーンのサイン波ジッタを印加した場合

- 5 次に、電子デバイス10への入力データ列に対して、以下の式(15)に示すマルチトーンのサイン波ジッタを印加する場合における、ジッタの大きさの決定方法を示す。ここで、マルチトーンのサイン波ジッタとは、複数の周波数成分(ジッタ周波数) f_k ($k = 1, 2, \dots, N$) のそれぞれに対応するサイン波ジッタを合成したサイン波ジッタである。

$$10 \quad \Delta\theta[nT] = \sum_{k=1}^N \frac{A_k}{2} \cos(2\pi f_k nT + \varphi_k) \quad [\text{UI}] \quad (15)$$

ここで、 A_k はジッタ周波数 f_k のサイン波ジッタの振幅、 φ_k はジッタ周波数 f_k のサイン波ジッタの初期位相である。

マルチトーンのサイン波ジッタが印加された場合、クロック再生回路41による再生クロックに生じるタイミングジッタは、以下の式(16)となる。

$$15 \quad \Delta\phi[nT] = \sum_{k=1}^N H_J(f_k) \frac{A_k}{2} \cos(2\pi f_k nT + \varphi_k) \quad [\text{UI}] \quad (16)$$

式(15)及び(16)を式(1)に代入すると、以下の式(17)に示すアライメントジッタを得ることができる。

$$\Delta\text{align}[nT] = \sum_{k=1}^N \{H_J(f_k) - 1\} \frac{A_k}{2} \cos(2\pi f_k nT + \varphi_k) \quad [\text{UI}] \quad (17)$$

- 20 アライメントジッタのピークツウピーク値 Δalign_{PP} がしきい値 Δth_{PP} (たとえば 0.5 UI_{PP}) を超えると、電子デバイス10はビット誤りを生じる。したがって、電子デバイス10がビット誤りを生じないための条件は次の式(18)で与えられる。

$$\Delta\text{align}_{PP} < \sum_{k=1}^N A_k \cdot |H_J(f_k) - 1| < \Delta\text{th}_{PP} \quad [\text{UI}_{PP}] \quad (18)$$

本実施形態に係る試験装置及び試験方法においては、式(13)を満たす振幅 A_k を算出することにより、電子デバイス10へ印加するサイン波ジッタの大きさを決定する。そして、算出した振幅 A_k を用いて式(15)に示すサイン波ジッタを入力データ列に印加して、電子デバイス10がビット誤りを生じるか否かを判定することにより、ジッタ周波数 f_k ($k = 1, 2, \dots, N$) のいずれかにおけるジッタ耐力が劣化した不良デバイスを判別することができる。

以上において、入力データ列に印加する複数サイン波ジッタの各ジッタ振幅 A_k は、式(18)を満たすように設定するが、各ジッタ周波数 f_k のジッタ振幅 A_k を同一の値に設定してもよいし、試験すべきジッタ周波数 f_k の重要度に対応して重み (weight) をつけて設定してもよい。

(4-3) 確定ジッタを印加した場合

次に、電子デバイス10への入力データ列に対して、以下の式(19)に示す確定ジッタを印加する場合における、ジッタの大きさの決定方法を示す。

$$\Delta\theta[nT] = \int_0^{\infty} \frac{A(f)}{2} \cos(2\pi f nT + \phi(f)) df \quad [\text{UI}] \quad (19)$$

ジッタ周波数 f における電子デバイス10のジッタ伝達関数を $H_J(f)$ とすると、クロック再生回路41による再生クロックに生じるタイミングジッタは、以下の式(20)となる。

$$\Delta\phi[nT] = \int_0^{\infty} H_J(f) \frac{A(f)}{2} \cos(2\pi f nT + \phi(f)) df \quad [\text{UI}] \quad (20)$$

ここで、 $A(f)$ はジッタ周波数 f におけるジッタ振幅、 $\phi(f)$ はジッタ周波数 f におけるジッタの初期位相である。

式(19)と式(20)を式(1)に代入すると、以下の式(21)に示すアラインメントジッタを得ることができる。

$$\Delta align[nT] = \int_0^{\infty} \{H_J(f) - 1\} \frac{A(f)}{2} \cos(2\pi f nT + \phi(f)) df \quad [\text{UI}] \quad (21)$$

アライメントジッタのピークツッピーク値 $\Delta align_{PP}$ がしきい値 $\Delta_{th,PP}$ (たとえば $0.5 UI_{PP}$) を超えると、電子デバイス 10 はビット誤りを生じる。すなわち、電子デバイス 10 がビット誤りを生じないための条件は次の式 (22) で与えられる。

$$5 \quad \Delta align_{PP} = \left| \int_{f_{min}}^{f_{max}} \{H_J(f) - 1\} \frac{A(f)}{2} \cos(2\pi f n T + \varphi(f)) df \right| < \Delta_{th,PP} \quad (22)$$

図7は、ケーブルを伝送した入力信号のスペクトルの一例を示す。本例において、入力信号のキャリア周波数は2.5Gbpsであり、ケーブル長は20mである。図7に示すように、当該ケーブルを伝送することにより、入力信号のスペクトルには、キャリア周波数の近傍に片側200MHz程度の広い帯域のサイドバンドが生じる。すなわち、入力信号に印加される確定ジッタは、200MHz程度の周波数成分を有しており、ループフィルタのカットオフ周波数より十分高い周波数成分を有する。このように確定ジッタは、電子デバイス10、たとえば、デシリアライザやクロック再生器、PLLなどのループ帯域 f_{bound} (通常1MHz程度) に比べ、
10 広い周波数帯域 (数百MHzから数GHz) にエネルギーをもつ。また、電子デバイス10のループ帯域外におけるジッタ伝達関数は、図7に示したようにほとんどゼロである。したがって、ループ帯域内のジッタによるアライメントジッタは、ループ帯域外のジッタによるアライメントジッタに比べ無視できる程度に十分小さく、式 (23) が成立する。

$$15 \quad \int_{f_{bound}}^{f_{max}} \{H_J(f) - 1\} \frac{A(f)}{2} \cos(2\pi f n T + \varphi(f)) df \ll \int_{f_{min}}^{f_{bound}} \{H_J(f) - 1\} \frac{A(f)}{2} \cos(2\pi f n T + \varphi(f)) df$$

20 ... (23)

したがって、式 (21) で示したアライメントジッタは、以下の式 (24) のに示すように変形することができる。

$$\begin{aligned}
\Delta align[nT] &\approx \int_{f_{bound}}^{f_{max}} \{H_J(f) - 1\} \frac{A(f)}{2} \cos(2\pi f nT + \varphi(f)) df \\
&\approx - \int_{f_{bound}}^{f_{max}} \frac{A(f)}{2} \cos(2\pi f nT + \varphi(f)) df \quad [UI] \quad (24) \\
&\approx -\Delta\theta[nT]
\end{aligned}$$

ここで、 $|H_J(f > f_{bound})| \approx 0$ を用いた。

そして、式(22)で示した条件も、式(24)を用いて次の式(25)で表される。

$$5 \quad \Delta align_{pp} \approx \Delta\theta_{pp} < \Delta\theta_{th,pp} \quad [UI_{pp}] \quad (25)$$

ここで、 $\Delta\theta_{pp}$ は入力データ列に印加された確定ジッタのピークツウピーク値を表す。

本実施形態に係る試験装置及び試験方法においては、式(22)又は式(25)を満たすように、確定ジッタの振幅を決定する。そして、決定した確定ジッタを
10 入力データ列に印加して、電子デバイス10がビット誤りを生じるか否かを判定することにより、主に電子デバイス10のループ帯域外におけるジッタ耐力が劣化した不良デバイスを判別することができる。

(4-4) マルチトーンのサイン波ジッタ及び確定ジッタを印加した場合

15 次に、電子デバイス10への入力データ列に対して、以下の式(26)に示す、ジッタ周波数 f_k ($k=1,2,\dots,N$) の複数の周波数成分を有するサイン波ジッタと、以下の式(27)に示す確定ジッタとを印加する場合における、ジッタの大きさの決定方法を示す。

$$\Delta\theta_{multi-tone}[nT] = \sum_{k=1}^N \frac{A_k}{2} \cos(2\pi f_k nT + \varphi_k) \quad [UI] \quad (26)$$

$$20 \quad \Delta\theta_{deterministic}[nT] = \int_0^{f_{max}} \frac{A(f)}{2} \cos(2\pi f nT + \varphi(f)) df \quad [UI] \quad (27)$$

ジッタ周波数 f における被試験デバイスのジッタ伝達関数を $H_J(f)$ とすると、クロック再生回路41による再生クロックに生じるタイミングジッタは、以下の

式(28)となる。

$$\begin{aligned}\Delta\phi[nT] &= \sum_{k=1}^N H_J(f_k) \frac{A_k}{2} \cos(2\pi f_k nT + \varphi_k) \\ &+ \int_0^{f_{\max}} H_J(f) \frac{A(f)}{2} \cos(2\pi f nT + \varphi(f)) df\end{aligned}\quad [\text{UI}] \quad (28)$$

したがってアライメントジッタは、次の式(29)で与えられる。

$$\begin{aligned}\Delta\text{align}[nT] &= \sum_{k=1}^N \{H_J(f_k) - 1\} \frac{A_k}{2} \cos(2\pi f_k nT + \varphi_k) \\ &+ \int_0^{f_{\max}} \{H_J(f) - 1\} \frac{A(f)}{2} \cos(2\pi f nT + \varphi(f)) df \\ &= \sum_{k=1}^N \{H_J(f_k) - 1\} \frac{A_k}{2} \cos(2\pi f_k nT + \varphi_k) - \Delta\theta_{\text{deterministic}}[nT]\end{aligned}\quad (29)$$

- 5 アライメント・ジッタのピークツウピーク値 Δalign_{PP} がしきい値 $\Delta_{th,PP}$ (たとえば0.5 UI_{PP})を超えると、電子デバイス10はビット誤りを生じる。したがって、電子デバイス10がビット誤りを生じないための条件は次の式(30)で与えられる。

$$\Delta\text{align}_{PP} < \sum_{k=1}^N A_k \cdot |H_J(f_k) - 1| + \Delta\theta_{\text{deterministic},PP} < \Delta_{th,PP} \quad [\text{UI}_{PP}] \quad (30)$$

- 10 ここで、確定ジッタにおいて、ループ帯域内のジッタによるアライメントジッタは、ループ帯域外のジッタによるアライメント・ジッタに比べ無視できる程度に十分小さい(式(23))と仮定した。

- 15 本実施形態に係る試験装置及び試験方法においては、式(29)を満たすように、サイン波ジッタにおける複数の周波数成分のそれぞれのサイン波の振幅、及び、確定ジッタの振幅を決定する。そして、決定したサイン波ジッタ及び確定ジッタを入力データ列に印加して、電子デバイス10がビット誤りを生じるか否かを判定する。これにより、本実施形態に係る試験装置及び試験方法によれば、ジッタ周波数 f_k ($k=1, 2, \dots, N$)の何れかにおけるジッタ耐力、または、電子デバイス10のループ帯域外におけるジッタ耐力が劣化した不良デバイスを判別する
- 20 ことができる。

以上において、入力データ列に印加する確定ジッタ量と複数サイン波ジッタの各ジッタ振幅は、式(30)を満たすように設定するが、確定ジッタの振幅とマルチトーンのサイン波ジッタ振幅を同一の値に設定してもよいし、試験すべきジッタ周波数領域(ループ帯域内またはループ帯域外)の重要度に対応して重み(weight)をつけて設定してもよい。

(5) アラインメントジッタのしきい値の決定方法

電子デバイス10の良否判定の基準となるしきい値 $\Delta_{th,PP}$ は、最悪ケースのアラインメント・ジッタから $0.5 UI_{PP}$ と設定してもよく、良品の電子デバイス10のジッタ耐力の下限值から求めてもよい。また、電子デバイス10のジッタ耐力の典型値から求めてもよく、電子デバイス10の試験仕様、たとえば、SDHデバイスに対するITU-T G.958試験仕様、に規定されているジッタ耐力の仕様値から求めてもよく、試験を行う者が設定してもよい。

(6) ランダムジッタ

電子デバイス10のループ帯域外のランダムジッタは、式(19)と同様に確定ジッタとして扱える。また、電子デバイス10のループ帯域内のランダムジッタは、式(15)と同様にマルチトーンのサイン波ジッタとして扱える。

図8は、本発明の実施形態に係る試験装置100の構成の一例を示す図である。試験装置100は、電子デバイス10のジッタ耐力を試験する装置であって、パターン発生器102、確定ジッタ印加手段104、ジッタ量制御手段106、及び判定手段108を備える。電子デバイス10は、例えばシリアル通信デバイスやシリアルI/Oデバイスである。また、電子デバイス10は、これらのデバイスには限定されない。例えばこれらのデバイスの他に、電子回路や電子回路を含むシステム等であってもよい。

パターン発生器102は、電子デバイス10に供給するための入力信号(入力デ

ータ列)を生成する。確定ジッタ印加手段104は、パターン発生器102が生成した入力信号を受け取り、入力信号に振幅変調成分を生じさせずに確定ジッタを印加して、電子デバイス10に供給する。確定ジッタとは、例えば入力信号の信号パターンに依存するジッタである。

- 5 例えば、確定ジッタ印加手段104は、入力信号を通過させることにより、入力信号に確定ジッタを印加する1次フィルタであってよい。当該1次フィルタは、例えばRCフィルタである。この場合、1次フィルタにおける抵抗成分及び容量成分は、可変であることが好ましい。

- 10 また、確定ジッタ印加手段104は、入力信号を通過させることにより、確定ジッタを印加するケーブルを有していてもよい。この場合、確定ジッタ印加手段104は、並列に設けられ、異なる長さの複数のケーブルを有することが好ましい。

 また、確定ジッタ印加手段104は、入力信号の振幅変調成分を除去するリミッティングアンプを有していてもよい。

- 15 ジッタ量制御手段106は、確定ジッタ印加手段104が発生して入力信号に印加する確定ジッタの大きさを制御する。例えば、確定ジッタ印加手段104が1次フィルタを用いて確定ジッタを発生する場合、ジッタ量制御手段106は、1次フィルタの抵抗成分及び容量成分の大きさを制御することにより、印加される確定ジッタの大きさを制御する。

- 20 また、確定ジッタ印加手段104が複数のケーブルを有する場合、ジッタ量制御手段106は、いずれのケーブルに入力信号を通過させるかを選択することにより、ケーブルにより発生される確定ジッタの大きさを制御する。

- そして、判定手段108は、入力信号に応じて電子デバイス10が出力信号のビット誤りを検出することにより、電子デバイス10の良否を判定する。このとき、判定手段108は、出力信号と比較すべき期待値信号をパターン発生器102から受け取り、出力信号と期待値信号とのビットを比較することにより、ビット誤りを検出する。
- 25

このようなビット誤りの検出を、印加する確定ジッタの大きさ毎に行うことにより、電子デバイス 10 のジッタ耐力を測定することができる。即ち、ジッタ量制御手段 106 は、確定ジッタの大きさを徐々に変化させ、判定手段 108 は、ジッタ量制御手段 106 が変化させた確定ジッタの大きさ毎に、出力信号のビット誤りを検出する。そして、電子デバイス 10 のジッタ耐力の仕様値等と、測定したジッタ耐力とを比較することにより、電子デバイス 10 の良否を判定する。

また、試験装置 100 は、電子デバイス 10 のジッタ耐力の仕様値の近傍のみを測定してもよい。

10 図 9 は、フィルタのステップ応答の一例を示す図である。図 9 A は、1 次フィルタのステップ応答を示し、図 9 B は、2 次フィルタのステップ応答を示す。確定ジッタ印加手段 104 が 1 次フィルタを用いて確定ジッタを発生する場合、当該 1 次フィルタのステップ応答は、図 9 A のようになる。図 9 A に示すように 1 次フィルタのステップ応答は、滑らかに増加する特性であるため、図 3 において説明したような振幅変調が生じない。このため、1 次フィルタにより確定ジッタを発生した場合、振幅変調によるビット誤りは検出されず、ジッタのみによるビット誤りを検出することができる。

これに対し、2 次フィルタにより入力信号に確定ジッタを印加する場合、2 次フィルタのステップ応答は図 9 B に示したようになるため、図 3 において説明したような振幅変調が生じてしまう。このため、振幅変調によるビット誤りが検出され、電子デバイス 10 のジッタ耐力を精度よく検出できない場合がある。本例における試験装置 100 は、1 次フィルタを用いて確定ジッタを発生するため、電子デバイス 10 のジッタ耐力を精度よく検出することができる。

また、電子デバイス 10 に含まれる PLL 等のクロック再生回路のループ帯域
25 外のジッタ耐力を試験する場合、クロック再生回路のループフィルタのカットオフ周波数より高い周波数成分を有するジッタを入力信号に印加する必要がある。例えば、2.5Gbps の通信デバイスのクロック再生回路に用いられているループフ

フィルタのカットオフ周波数は、1MHz 以上の周波数範囲であるが、ケーブルを用いてジッタを発生することにより、当該カットオフ周波数より十分高い周波数成分を有するジッタを発生することができる。

- 5 図10は、電子デバイス10を試験する試験方法の一例を示すフローチャートである。当該試験方法は、図8に関連して説明した試験装置100を用いて行つてよい。

まず、確定ジッタ印加段階S302において、入力信号に確定ジッタを印加する。S302では、確定ジッタ印加手段104を用いて、入力信号に振幅変調成分を生じさせずに確定ジッタを印加する。このとき、確定ジッタ印加手段104
10 により発生する確定ジッタの大きさは、ジッタ量制御段階S304において、ジッタ量制御手段106によって制御される。そして、判定段階S306において、入力信号に応じて電子デバイス10が出力する出力信号に基づいて、電子デバイス10の良否を判定する。

- 15 以上において、ジッタ量制御手段106は、入力信号と、電子デバイス10により入力信号から再生される再生クロック信号との間のアラインメントジッタのピークトゥピーク値のしきい値に基づいて、確定ジッタの大きさを決定する。より具体的には、ジッタ量制御手段106は、式(22)又は(25)を満たすように確定ジッタのピークトゥピーク値を決定する。そして、ジッタ量制御段階
20 S304において、ジッタ量制御手段106は、以上により決定した値を振幅とする確定ジッタを入力信号に印加するように、確定ジッタ印加手段104を調整する。

ここで、アラインメントジッタのピークトゥピーク値のしきい値 $\Delta_{th,pp}$ は、本実施形態に係る試験装置及び試験方法の原理(5)に示した方法により設定して
25 よい。またジッタ量制御手段106は、良品の電子デバイス10について試験装置100により測定したアラインメントジッタのピークトゥピーク値、又は、複数の良品の電子デバイス10について試験装置100により測定したアライン

メントジッタの最小値をしきい値 $\Delta_{th,PP}$ として用いてもよく、これに代えて、複数の電子デバイス 10 について試験装置 100 により測定したアラインメントジッタの統計値、すなわち例えばアラインメントジッタの平均値及び分散等に基づいて、しきい値 $\Delta_{th,PP}$ を定めてもよい。

5

図 11 は、試験装置 100 の構成の他の例を示す図である。本例における試験装置 100 は、図 8 において説明した試験装置 100 の構成に加え、サイン波ジッタ印加手段 110 を更に備える。図 11 において図 8 と同一の符号を付した構成要素は、以下に説明する点を除いて図 8 に関連して説明した構成要素と同一の構成及び機能を有する。

10

サイン波ジッタ印加手段 110 は、パターン発生器 102 が生成する入力信号に、サイン波ジッタを印加する。例えば、サイン波ジッタ印加手段 110 は、パターン発生器 102 が入力信号を生成するために用いるクロックの位相を、サイン波を用いて変調することにより、サイン波ジッタを発生する。このとき、サイン波ジッタ印加手段 110 は、単一の周波数成分を有するサイン波ジッタを発生してよく、また複数の周波数成分を有するサイン波ジッタを発生してもよい。

15

ジッタ量制御手段 106 は、確定ジッタ印加手段 104 が入力信号に印加する確定ジッタの大きさに加えて、サイン波ジッタ印加手段 110 が入力信号に印加するサイン波ジッタの大きさを更に制御する。本例における試験装置 100 によれば、入力信号に対し、確定ジッタ及びサイン波ジッタを有する予め定められた大きさのジッタを印加することができる。

20

図 12 は、電子デバイス 10 を試験する試験方法の他の例を示すフローチャートである。本例における試験方法は、図 10 において説明した試験方法に加えて、サイン波ジッタ印加段階 S308 を更に有する。サイン波ジッタ印加段階 S308 は、図 11 において説明したサイン波ジッタ印加手段 110 を用いて、入力信号にサイン波ジッタを印加する。そして、S302～S306 の処理を行うこと

25

により、電子デバイス 10 の良否を判定する。

5 以上において、ジッタ量制御手段 106 は、入力信号及び電子デバイス 10 により入力信号から再生される再生クロック信号の間のアラインメントジッタのピークトゥピーク値のしきい値と、良品の電子デバイス 10 におけるジッタ伝達関数とに基づいて、サイン波ジッタの大きさを更に決定する。以下に、確定ジッタ及びサイン波ジッタの大きさの決定方法を示す。

(1) 確定ジッタ及びサイン波ジッタの決定方法 1

10 本実施形態に係る試験装置及び試験方法の原理 (4-1) に示したサイン波ジッタ及び (4-3) に示した確定ジッタを発生する場合、ジッタ量制御手段 106 は、これらの大きさを以下に例示する方法により決定する。

まずジッタ量制御手段 106 には、入力信号に発生すべきジッタの大きさのうち、サイン波ジッタの比率を示すサイン波ジッタ比率、及び、確定ジッタの比率を示す確定ジッタ比率が予め設定される。

15 そして、ジッタ量制御手段 106 は、アラインメントジッタのピークトゥピーク値のしきい値 $\Delta_{th,PP}$ にサイン波ジッタ比率を乗じたサイン波ジッタしきい値と、良品の電子デバイス 10 におけるジッタ伝達関数とに基づいて、サイン波ジッタの大きさを決定する。すなわち例えばジッタ量制御手段 106 は、式 (14) におけるしきい値 $\Delta_{th,PP}$ をサイン波ジッタしきい値に置き換えて式 (14) を満たす振幅 A を算出することにより、サイン波ジッタの大きさを決定してよい。

20 また、ジッタ量制御手段 106 は、アラインメントジッタのピークトゥピーク値のしきい値 $\Delta_{th,PP}$ からサイン波ジッタしきい値を減じた確定ジッタしきい値と、ジッタ伝達関数とに基づいて、確定ジッタの大きさを決定する。すなわち例えば、ジッタ量制御手段 106 は、式 (22) 又は (25) におけるしきい値 $\Delta_{th,PP}$ を確定ジッタしきい値に置き換えて、確定ジッタの大きさを決定してよい。なお、
25 以上を示した確定ジッタしきい値は、アラインメントジッタのピークトゥピーク値のしきい値 $\Delta_{th,PP}$ に確定ジッタ比率を乗じた値となる。

(2) 確定ジッタ及びサイン波ジッタの決定方法 2

本実施形態に係る試験装置及び試験方法の原理（４－４）に示したサイン波ジッタ及び確定ジッタを発生する場合、ジッタ量制御手段１０６は、アラインメントジッタのピークトゥピーク値のしきい値と、ジッタ伝達関数とに基づいて、サイン波ジッタが有する複数の周波数成分のそれぞれの大きさを決定する。すなわちジッタ量制御手段１０６は、これらの大きさを以下に例示する方法により決定する。

まずジッタ量制御手段１０６には、入力信号に印加すべきジッタの大きさのうち、サイン波ジッタの比率を示すサイン波ジッタ比率、及び、確定ジッタの比率を示す確定ジッタ比率が予め設定される。ここで、サイン波ジッタ比率は、マルチトーンのサイン波ジッタが有すべき複数の周波数成分のそれぞれについて、当該周波数成分の比率を示す、予め定められた周波数成分比率の合計値として設定される。

そして、ジッタ量制御手段１０６は、複数の周波数成分のそれぞれについて、アラインメントジッタのピークトゥピーク値のしきい値 $\Delta_{th,PP}$ に当該周波数成分について予め定められた周波数成分比率を乗じた周波数成分しきい値と、良品の電子デバイス１０におけるジッタ伝達関数とに基づいて、サイン波ジッタの当該周波数成分についての大きさを決定する。すなわち例えば、ジッタ量制御手段１０６は、式（１８）におけるしきい値 $\Delta_{th,PP}$ がサイン波ジッタしきい値となるように、複数の周波数成分のそれぞれについての振幅 A_k を算出することにより、複数の周波数成分を有するサイン波ジッタの大きさを決定してよい。

また、ジッタ量制御手段１０６は、アラインメントジッタのピークトゥピーク値のしきい値 $\Delta_{th,PP}$ から周波数成分しきい値の合計値、すなわちサイン波ジッタしきい値、を減じた確定ジッタしきい値に基づいて、確定ジッタの大きさを決定する。すなわち例えば、ジッタ量制御手段１０６は、式（２２）又は（２５）におけるしきい値 $\Delta_{th,PP}$ を確定ジッタしきい値に置き換えて、確定ジッタの大きさを決定してよい。なお、以上に示した確定ジッタしきい値は、アラインメントジッタのピークトゥピーク値のしきい値 $\Delta_{th,PP}$ に確定ジッタ比率を乗じた値となる。

以上の処理により、ジッタ量制御手段106は、式(30)を満たすようなサイン波ジッタ及び確定ジッタの大きさを求めることができる。

5 以上の(1)及び(2)においてジッタの大きさを決定するために用いるジッタ伝達関数を求めるために、試験装置100は、ジッタ伝達関数推定部を有してもよい。ジッタ伝達関数推定部は、入力信号のタイミングジッタ系列と、良品の電子デバイス10により入力信号から再生された再生クロック信号のタイミングジッタ系列とに基づいて式(6)(7)(8)、又は、式(9)に例示した計算を行って、良品の電子デバイス10におけるジッタ伝達関数を導出する。こ
10 で、ジッタ伝達関数推定部は、複数の良品の電子デバイス10について測定したジッタ伝達関数の統計値に基づいて、ジッタ量制御手段106が用いるジッタ伝達関数を定めてもよい。

また、図8から図12において、電子デバイス10の入力及び出力を1つとして説明したが、電子デバイス10が多入力多出力のデバイスである場合、試験装
15 置100は、複数の入出力に対応して、パターン発生器102、確定ジッタ印加手段104、ジッタ量制御手段106、サイン波ジッタ印加手段110、及び判定手段108をそれぞれ複数備えていてもよい。また、図8及び図11において、パターン発生器102は、試験装置100の外部に設けられてもよい。

20 図13は、試験装置100の構成の他の例を示す図である。図13に示した試験装置100は、図8に示したパターン発生器102が生成する入力信号に代えて、送信側電子デバイス11(Transmitter(DUT))が生成した信号を受信側電子デバイス12(Receiver(DUT))への入力信号として用いる。図13において図8と同一の符号を付した構成要素は、以下に説明する点を除いて図8に
25 関連して説明した構成要素と同一の構成及び機能を有する。

本実施形態に係る試験装置100は、確定ジッタ印加手段104と、ジッタ量制御手段106と、判定手段108とを備える。確定ジッタ印加手段104は、

送信側電子デバイス 11 により生成され受信側電子デバイス 12 に対して送信された信号を入力信号として、当該入力信号に振幅変調成分を生じさせずに確定ジッタを印加する。ジッタ量制御手段 106 は、図 8 に示したジッタ量制御手段 106 と同様にして、確定ジッタ印加手段 104 が入力信号に印加する確定ジッタの大きさを制御する。本実施形態に係る試験装置 100 による試験方法は、S302 において確定ジッタ印加手段 104 が、送信側電子デバイス 11 から入力された入力信号に対して確定ジッタを印加する点、及び、S306 において判定手段 108 が、受信側電子デバイス 12 から出力された出力信号に基づいて送信側電子デバイス 11 及び受信側電子デバイス 12 の良否を判定する点を除き、図 10 と同様である。

図 13 に示した試験装置 100 は、送信側電子デバイス 11 から入力される入力信号に対し、サイン波ジッタを印加するサイン波ジッタ印加手段 110 を更に備えてもよい。この場合における試験装置 100 による試験方法は、送信側電子デバイス 11 から複数の信号を送信させて、これらの信号のそれぞれに対してサイン波ジッタ印加手段 110 及び確定ジッタ印加手段 104 によりジッタを印加し受信側電子デバイス 12 へ入力する点、及び、これらの複数の信号に対する複数の出力信号に基づいて送信側電子デバイス 11 及び受信側電子デバイス 12 の良否を判定する点を除き、図 12 と同様である。

図 14 は、試験装置 100 の構成の他の例を示す図である。本例における試験装置 100 は、基準クロック発生器 20 が発生する基準クロック信号に基づいて動作する送信側電子デバイス 11 及び受信側電子デバイス 12 を試験する。ここで受信側電子デバイス 12 は、送信側電子デバイス 11 により発生されたデータ信号（入力信号）及び基準クロック信号を入力し、基準クロック信号に基づいて入力信号をサンプリングする。

試験装置 100 は、図 13 において説明した試験装置 100 の構成に加え、位相シフタ 112 を備える。位相シフタ 112 は、基準クロック発生器 20 により

発生された基準クロック信号の位相をシフトし、送信側電子デバイス 11 に対して入力される基準クロック信号と、受信側電子デバイス 12 に対して入力される基準クロック信号との間に予め定められた静的な位相差を与える。この位相差を用いることにより、試験装置 100 は、例えば送信側電子デバイス 11 及び受信側電子デバイス 12 の仕様により許容された範囲で基準クロック信号の位相誤差を送信側電子デバイス 11 及び受信側電子デバイス 12 に与えた状態で試験を行うことができる。

図 15 は、電子デバイス 10 を試験する試験方法の他の例を示すフローチャートである。本例における試験方法は、図 10 において説明した試験方法に加えて、位相シフト段階 S 310 を更に有する。位相シフト段階 S 310 は、図 14 において説明した位相シフタ 112 を用いて、基準クロック発生器 20 により発生された基準クロック信号の位相をシフトする。そして、本実施形態に係る試験装置 100 による試験方法は、S 302 において確定ジッタ印加手段 104 が、送信側電子デバイス 11 から入力された入力信号に対して確定ジッタを印加する点、受信側電子デバイス 12 が、位相シフタ 112 から入力した基準クロック信号に基づいて入力信号をサンプリングする点、及び、S 306 において判定手段 108 が、受信側電子デバイス 12 から出力された出力信号に基づいて送信側電子デバイス 11 及び受信側電子デバイス 12 の良否を判定する点を除き、図 10 と同様である。

なお、図 14 に示した試験装置 100 は、送信側電子デバイス 11 から入力される入力信号に対し、サイン波ジッタを印加するサイン波ジッタ印加手段 110 を更に備えてもよい。この場合における試験装置 100 による試験方法は、位相シフト段階 S 310 により受信側電子デバイス 12 に供給する基準クロック信号の位相をシフトする点、送信側電子デバイス 11 から複数の信号を送信させて、これらの信号のそれぞれに対してサイン波ジッタ印加手段 110 及び確定ジッタ印加手段 104 によりジッタを印加し受信側電子デバイス 12 へ入力する点、

及び、これらの複数の信号に対する複数の出力信号に基づいて送信側電子デバイス 11 及び受信側電子デバイス 12 の良否を判定する点を除き、図 12 と同様である。

- 5 図 16 は、本発明の実施形態に係る試験方法による電子デバイス 10 の試験結果の一例を示す。本図において電子デバイス 10 は、一例として 2.5 Gbps デシリアライザであり、90 kHz、800 kHz、7 MHz（3 トーン）の同一振幅のサイン波ジッタ及び確定ジッタをデシリアライザの入力信号に印加して、デシリアライザがビット誤りを生じる最小の 3 トーンサイン波ジッタの振幅を測定した。確定ジッタは、ケーブルとリミッティングアンプをもちいて発生し、ケーブル長を
10 0.7 m から 20 m まで変化させて確定ジッタ量を変化させた。

- サイン波ジッタの振幅が一定のとき、3 トーンサイン波ジッタの振幅を $A_{3\text{-tone}}$ とすると、式 (15) における各サイン波ジッタの振幅 A_k は、 $A_k = A_{3\text{-tone}}/3$ であらわされる。したがって、式 (30) は、以下の式 (31) に変形することができる。
15

$$\sum_{k=1}^3 \frac{A_{3\text{-tone}}}{3} \cdot |H_J(f_k) - 1| + \Delta\theta_{\text{deterministic,PP}} < \Delta_{\text{th,PP}} \quad [\text{UI}_{\text{PP}}] \quad (31)$$

ここで、アライメント・ジッタのピークツウピーク値がしきい値 $\Delta_{\text{th,PP}}$ （例えば $0.5 \text{ UI}_{\text{PP}}$ ）を超えるとビット誤りが生じるので、ビット誤りを生じる最小の 3 トーンサイン波ジッタの振幅 $A_{3\text{-tone}}$ は次の式 (32) で与えられる。

$$A_{3\text{-tone}} = \frac{\Delta_{\text{th,PP}} - \Delta\theta_{\text{deterministic,PP}}}{\sum_{k=1}^3 \frac{|H_J(f_k) - 1|}{3}} \quad [\text{UI}_{\text{PP}}] \quad (32)$$

図 16 に示すように、確定ジッタを変化させたとき、式 (32) でもとめた値はビット誤り率試験システム (BERTS) で測定した結果とほぼ一致する。

本実施形態に係る試験装置および試験方法によれば、ケーブルやフィルタ等で構成可能な確定ジッタ源のみをもちいて被試験デバイスの良否判定を行うこと

ができ、ジッタ源の装置コストを最小にできるため、デバイスの試験コストを大幅に削減できる。

また、本実施形態に係る試験装置および試験方法は、被試験デバイスの出力にビット誤りが生じるか否かを判定することにより、非常に時間のかかるビット誤り率の測定を不要とできるため、非常に高速なデバイス試験を実現できる。

また、本実施形態に係る試験装置および試験方法によれば、被試験デバイスの入力データ列にマルチトーンのサイン波ジッタと確定ジッタをあて、被試験デバイスの出力にビット誤りが生じるか否かを判定することにより、複数サイン波のジッタ周波数または被試験デバイスのループ帯域外の何れかにおける少なくともひとつのパラメトリックな欠陥を同時に試験することができるため、非常に高速なデバイス試験を実現できる。

さらに、本実施形態に係る試験装置および試験方法は、最悪条件における試験ではなく、被試験デバイスが使用される実環境に対応した試験を提供できるため、デバイス試験の信頼性、すなわち、試験結果と実動作環境における不良の相関を向上することができる。

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることが可能であることが当業者に明らかである。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

例えば図 11 に示した試験装置 100 は、確定ジッタ印加手段 104 を有さず、サイン波ジッタ印加手段 110 によりサイン波ジッタが印加された入力信号をパターン発生器 102 から電子デバイス 10 に印加する構成を採ってもよい。この場合、ジッタ量制御手段 106 は、本実施形態に係る試験装置及び試験方法の原理(4-1)又は(4-2)に示した方法により、サイン波ジッタの大きさを決定してよい。

上記説明から明らかなように、本発明によれば電子デバイスのジッタ耐力を精度よく試験することができる。

請 求 の 範 囲

1. 電子デバイスを試験する試験装置であって、

与えられる入力信号に振幅変調成分を生じさせずに確定ジッタを印加し、前記電子デバイスに供給する確定ジッタ印加手段と、

前記確定ジッタ印加手段が発生する前記確定ジッタの大きさを制御するジッタ量制御手段と、

前記入力信号に応じて前記電子デバイスが出力する出力信号に基づいて、前記電子デバイスの良否を判定する判定手段と
を備える試験装置。

2. 前記確定ジッタ印加手段は、前記入力信号を通過させ、前記確定ジッタが発生する1次フィルタを有する
請求項1に記載の試験装置。

3. 前記確定ジッタ印加手段は、前記入力信号を通過させ、前記確定ジッタが発生するケーブルを有する
請求項1に記載の試験装置。

4. 前記ジッタ量制御手段は、前記入力信号と、前記電子デバイスにより前記入力信号から再生される再生クロック信号との間のアラインメントジッタのピークトピーク値のしきい値に基づいて、前記確定ジッタの大きさを決定する
請求項1に記載の試験装置。

5. 前記入力信号にサイン波ジッタを印加するサイン波ジッタ印加手段を更に備え、

前記ジッタ量制御手段は、前記サイン波ジッタ印加手段が発生する前記サイン波ジッタの大きさを更に制御する
請求項1に記載の試験装置。

6. 前記ジッタ量制御手段は、前記入力信号及び前記電子デバイスにより前記入力信号から再生される再生クロック信号の間のアラインメントジッタのピー

クトゥピーク値のしきい値と、良品の前記電子デバイスにおけるジッタ伝達関数とに基づいて、前記サイン波ジッタの大きさを決定する

請求項 5 に記載の試験装置。

7. 前記ジッタ量制御手段は、

前記アラインメントジッタのピークトゥピーク値のしきい値に予め定められたサイン波ジッタ比率を乗じたサイン波ジッタしきい値と、前記ジッタ伝達関数とに基づいて、前記サイン波ジッタの大きさを決定し、

前記アラインメントジッタのピークトゥピーク値のしきい値から前記サイン波ジッタしきい値を減じた確定ジッタしきい値と、前記ジッタ伝達関数とに基づいて、前記確定ジッタの大きさを決定する

請求項 6 に記載の試験装置。

8. 前記ジッタ量制御手段は、前記入力信号のタイミングジッタ系列と、良品の前記電子デバイスにより前記入力信号から再生された再生クロック信号のタイミングジッタ系列とに基づいて、前記ジッタ伝達関数を導出するジッタ伝達関数推定部を有する

請求項 6 に記載の試験装置。

9. 前記サイン波ジッタ印加手段は、複数の周波数成分を有する前記サイン波ジッタを前記入力信号に印加し、

前記ジッタ量制御手段は、前記アラインメントジッタのピークトゥピーク値のしきい値と、前記ジッタ伝達関数とに基づいて、前記サイン波ジッタが有する前記複数の周波数成分のそれぞれの大きさを決定する

請求項 6 に記載の試験装置。

10. 前記ジッタ量制御手段は、

前記複数の周波数成分のそれぞれについて、前記アラインメントジッタのピークトゥピーク値のしきい値に当該周波数成分について予め定められた周波数成分比率を乗じた周波数成分しきい値と、前記ジッタ伝達関数とに基づいて、前記サイン波ジッタの当該周波数成分についての大きさを決定し、

前記アラインメントジッタのピークトゥピーク値のしきい値から前記周波数成分しきい値の合計値を減じた確定ジッタしきい値に基づいて、前記確定ジッタの大きさを決定する

請求項 9 に記載の試験装置。

11. 前記電子デバイスは、前記入力信号及び基準クロック信号を入力し、前記基準クロック信号に基づいて前記入力信号をサンプリングするものであり、

当該試験装置は、

前記基準クロック信号の位相をシフトする位相シフタを更に備える

請求項 1 に記載の試験装置。

12. 電子デバイスを試験する試験装置であって、

与えられる入力信号にサイン波ジッタを印加し、前記電子デバイスに供給するサイン波ジッタ印加手段と、

前記サイン波ジッタ印加手段が印加する前記サイン波ジッタの大きさを制御するジッタ量制御手段と、

前記入力信号に応じて前記電子デバイスが出力する出力信号に基づいて、前記電子デバイスの良否を判定する判定手段と

を備え、

前記ジッタ量制御手段は、前記入力信号及び前記電子デバイスにより前記入力信号から再生される再生クロック信号の間のアラインメントジッタのピークトゥピーク値のしきい値と、良品の前記電子デバイスにおけるジッタ伝達関数とに基づいて、前記サイン波ジッタの大きさを決定する

試験装置。

13. 電子デバイスを試験する試験方法であって、

与えられる入力信号に振幅変調成分を生じさせずに確定ジッタを印加し、前記電子デバイスに供給する確定ジッタ印加段階と、

前記確定ジッタ印加段階において印加する前記確定ジッタの大きさを制御するジッタ量制御段階と、

前記入力信号に応じて前記電子デバイスが出力する出力信号に基づいて、前記電子デバイスの良否を判定する判定段階と
を備える試験方法。

14. 前記確定ジッタ印加段階は、前記入力信号を通過させる1次フィルタを用いて、前記確定ジッタを発生する
請求項13に記載の試験方法。

15. 前記確定ジッタ印加段階は、前記入力信号を通過させるケーブルを用いて、前記確定ジッタを発生する
請求項13に記載の試験方法。

16. 前記入力信号にサイン波ジッタを印加するサイン波ジッタ印加段階を更に備える
請求項13に記載の試験方法。

17. 前記サイン波ジッタ印加段階は、複数の周波数成分を有する前記サイン波ジッタを前記入力信号に印加する
請求項16に記載の試験方法。

18. 電子デバイスを試験する試験方法であって、
与えられる入力信号にサイン波ジッタを印加し、前記電子デバイスに供給するサイン波ジッタ印加段階と、

前記サイン波ジッタ印加段階において印加する前記サイン波ジッタの大きさを制御するジッタ量制御段階と、

前記入力信号に応じて前記電子デバイスが出力する出力信号に基づいて、前記電子デバイスの良否を判定する判定段階と
を備え、

前記ジッタ量制御段階は、前記入力信号及び前記電子デバイスにより前記入力信号から再生される再生クロック信号の間のアラインメントジッタのピークトゥピーク値のしきい値と、良品の前記電子デバイスにおけるジッタ伝達関数とに基づいて、前記サイン波ジッタの大きさを決定する

試験方法。

要 約 書

- 電子デバイスを試験する試験装置であって、与えられる入力信号に振幅変調成分を生じさせずに確定ジッタを印加し、電子デバイスに供給する確定ジッタ印加
- 5 手段と、確定ジッタ印加手段が発生する確定ジッタの大きさを制御するジッタ量制御手段と、入力信号に応じて電子デバイスが出力する出力信号に基づいて、電子デバイスの良否を判定する判定手段とを備える試験装置を提供する。